

72 基于 Stream_IN 的 OV5640 JPEG 摄像头实验

工程源码	---- ----- ch72_acz7015_fx2_stream_in_ov5640_jpeg
相关视频课程	无
说明	无

章节导读

在基于 Stream_IN 的 JPEG 图像传输测试实验中，我们在 FPGA 中使用 ROM 存储一幅静态 jpg 图像的数据，并通过 FX2 送给 PC 上位机以显示 jpg 图像。本节，我们将使用 OV5640 实时采集 jpeg 图像数据，然后交由 USB 传输，最终通过 PC 端的上位机实时显示图像数据。

72.1 系统的整体设计

本节实验，我们将设计一个更加综合性的应用，使用带 JPEG 压缩引擎的图像传感器模组——OV5640 来输出实时 jpeg 图像数据，并将该数据流通过 FX2 传输到 PC 端图像显示软件进行显示。下图 72-1 为该系统的数据流图。

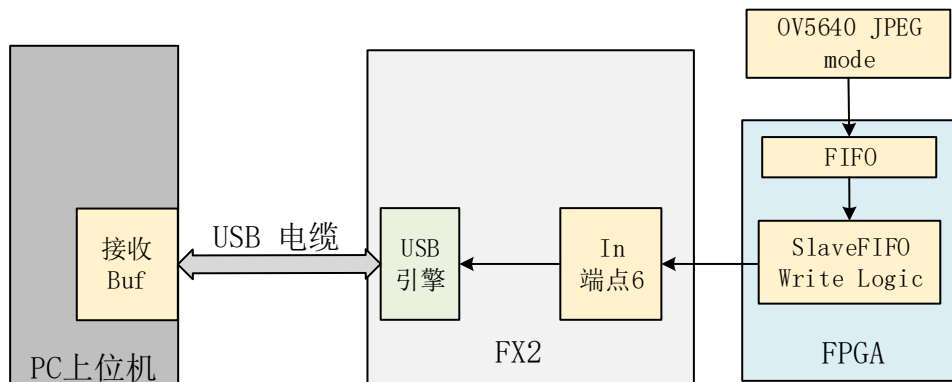


图 72-1 摄像头采集 USB 传输读取实验数据流图

72.2 代码设计

本次实验需要使用到的模块包括 usb_stream_in 模块、摄像头初始化模块 cmos_init，这两个模块的详细设计请查看“USB2.0 基于 Stream_IN 的 JPEG 图像传输测试”一节和 02_逻辑教程中“OV5640 基于 FPGA 的编程实战”一节的内容，本章将不再对这两个模块进行讲解。本章实验，我们还需要添加一个 PLL IP，其输入时钟为 ACZ7015 开发板上的晶振 50M，输出 50M 的时钟给到

cmos_init 初始化模块和 usb_stream_in 模块使用，输出 24M 的时钟给摄像头使用，PLL 的配置界面如下图 72-2 所示：

Component Name pll

Clocking Options

Output Clocks

Port Renaming

PLLE2 Settings

Summary

The phase is calculated relative to the active input clock.

Output Clock	Port Name	Output Freq (MHz)		Phase (degrees)	
		Requested	Actual	Requested	Actual
<input checked="" type="checkbox"/> clk_out1	c0	50.000	50.000	0.000	0.000
<input checked="" type="checkbox"/> clk_out2	c1	24.000	24.000	0.000	0.000
<input type="checkbox"/> clk_out3	clk_out3	100.000	N/A	0.000	N/A
<input type="checkbox"/> clk_out4	clk_out4	100.000	N/A	0.000	N/A
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	0.000	N/A

图 72-2 配置 PLL 模块

本次实验中，在摄像头初始化模块默认的图像宽度为 640 像素，对应 16 进制位的数字是 0280，rom[225]，rom[226]在这里就是设置图像宽度的，我们将 02 写到 rom[255]的低 8 位，80 写到 rom[226]的低 8 位，rom[227]，rom[228]是设置图像高度的，默认是 480 像素，对应 16 进制位 01e0，01 写到 rom[227]的低 8 位，e0 写到 rom[228]的低 8 位，还需要特别注意的是，我们需要配置摄像输出 JPEG 的图像数据，OV5640 的 0x4300 寄存器控制输出图像的的输出格式，但是 JPEG 模式，并不是在这个寄存器中设置的，JPEG 输出是另外有单独的 JPEG 压缩引擎，对 YUV422 或 YUV420 格式的图像编码得到的。如果需要输出 JPEG 格式，则本寄存器应该设置高 4 位的值为 0x3 或 0x4，即选择 YUV422 或 YUV420 格式，然后再设置 JPEG 相关的寄存器，这里我们就不对寄存器相关配置进行详解，用户如果需要输出 JPEG 格式的图像数据，可以直接在例程中的“ov5640_init_table”文件中提取出寄存器配置表用于实验。

72.3板级验证

72.3.1系统所需硬件

本次设计所需硬件如下，相关模块资料可以点击超链接查看：

1. [ACZ7015 开发板](#)一块
2. [ACM68013](#) 模块一个

店铺：<https://xiaomeige.taobao.com>
技术博客：<http://www.cnblogs.com/xiaomeige/>

官方网站：www.corecourse.cn
技术群组：

3. [OV5640 摄像头](#)一个
4. USB 线一根
5. Type-C 下载线一根
6. DC 电源线一根

72.3.2 硬件连接

本次设计系统硬件连接如下图 72-3 所示：

1. 使用 Type-C 线连接开发板调试接口（靠近电源接口）和电脑 USB 口
2. 为开发板连接 DC 电源
3. 将开发板电源拨码开关拨到对应侧
4. ACM68013 模块连接至 40 pin 的排针上，靠右连接，1 脚和 1 脚对应
5. 使用 USB 线连接 ACM68013 模块和电脑
6. 将摄像头连接至开发板的摄像头接口上

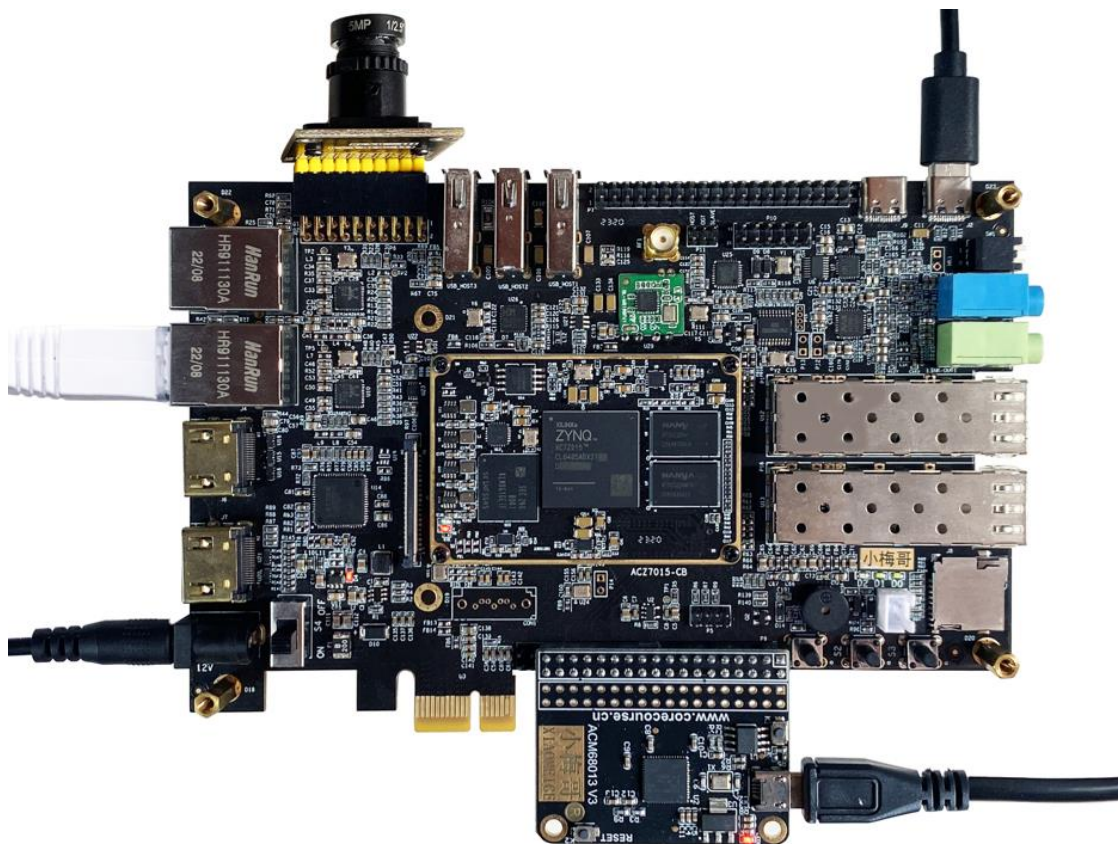


图 72-3 硬件连接图

72.3.3功能验证

功能验证步骤如下所示：

1. 全编译工程得到 bit 文件。
2. 使用 bit 文件配置 FPGA 开发板。
3. 打开“USB_Display.exe”软件，该软件位于：ACZ7015 开发板资料包的盘 A/05_驱动和软件/02_常用工具和附件下，然后点击设备→连接，软件会实时接收图像数据，并显示图像，如下图 7 4 所示。



图 72-4 摄像头采集数据 USB 传输到上位机效果

可以看到上位机接收到的图像清晰，无错位、花屏等现象，说明本次实验成功。